

УДК 004.315.2

ПИЛИПКО М. М., МОРОЗОВ Д. В.

СРАВНИТЕЛЬНЫЙ АНАЛИЗ СХЕМ КМОП СУММАТОРОВ НА 10 ТРАНЗИСТОРАХ

*Санкт-Петербургский государственный политехнический университет,
Россия, Санкт-Петербург, 195251, ул. Политехническая, 29*

Аннотация. Развитие устройств цифровой обработки сигналов привело к появлению ряда КМОП схемотехнических решений арифметических и логических блоков с малым числом транзисторов. В данной работе предложена классификация полных одноразрядных КМОП сумматоров, схемы которых состоят из 10 транзисторов. На основе результатов схемотехнического моделирования для 0,18 мкм МОП технологии проведено сравнение основных характеристик сумматоров и выделены наиболее перспективные реализации

Ключевые слова: КМОП; полный одноразрядный сумматор; логическая функция; КМОП схема

ВВЕДЕНИЕ

Увеличение разрядности арифметических устройств, используемых в современных вычислительных системах, приводит к необходимости решения задачи синтеза цифровых схем, занимающих малую площадь на кристалле. В частности, многоразрядные сумматоры и аппаратные умножители строятся на основе полного одноразрядного сумматора, который имеет входы «in1», «in2» — для сигналов двух слагаемых, «ci» — для сигнала переноса из предыдущего разряда и выходы «s» — сумма, «co» — перенос в следующий разряд. Известны схемы полного одноразрядного КМОП сумматора, состоящие из 40 [1] и 36 [2] транзисторов. Наибольшее применение получила схема на основе 28 транзисторов [3], в которой сигнал суммы формируется с использованием инверсного сигнала переноса.

Поскольку площадь схемы на кристалле пропорциональна количеству транзисторов, активно ведутся разработки с целью уменьшения числа транзисторов в составе полного однораз-

рядного сумматора. При этом из схемы исключаются буферные выходные элементы и допускается уменьшение логического перепада выходных сигналов. В результате появились работы с описанием схемотехнических решений, состоящих из 10 транзисторов [4–13].

Авторы этих работ декларируют превосходство предложенного ими решения по сравнению с предшествующими, однако в одних работах при оценке потребляемой мощности не учитываются входные токи схем, в других уменьшение логического перепада на выходах становится критическим с точки зрения различимости уровней логических сигналов и нагрузочной способности.

В [14] показано, что возможно создание схем полного одноразрядного сумматора с числом транзисторов менее 10, однако их использование нецелесообразно, поскольку в таких схемах при некоторых комбинациях входных сигналов возникают цепи для протекания сквозного тока между шинами источника пи-